

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
SAKAMOTO et al.)
)
Application Number: To be Assigned)
)
Filed: Concurrently Herewith)
)
For: SEMICONDUCTOR MEMORY DEVICE)
)
ATTORNEY DOCKET NO. HITA.0415)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

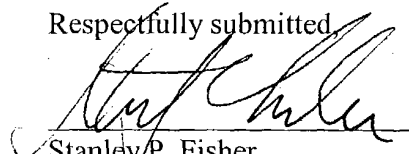
**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of July 26, 2002, the filing date of the corresponding Japanese patent application 2002-218020.

A certified copy of Japanese patent application 2002-218020, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
July 24, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218020

[ST.10/C]:

[JP2002-218020]

出 願 人

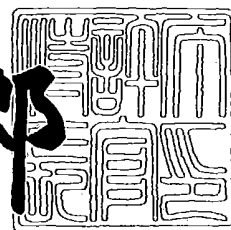
Applicant(s):

株式会社日立製作所

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011593

【書類名】 特許願

【整理番号】 H02006451

【提出日】 平成14年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 坂本 将俊

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 長谷川 雅俊

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100089071

 【弁理士】

 【氏名又は名称】 玉村 静世

 【電話番号】 03-5217-3960

【手数料の表示】

 【予納台帳番号】 011040

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 ライトデータを取り込むためのライトI/O線と、

上記ライトI/O線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、

上記ライト用カラム選択スイッチにその動作制御信号を供給するためのライト用カラム選択線と、

メモリセルからビット線に読み出されたりードデータを増幅するための複数のセンスアンプ回路が配列されて成るセンスアンプ列と、

データリードのためのリードI/O線と、

上記ビット線のリードデータを選択的に上記リードI/O線に伝達可能なリード用カラム選択スイッチと、

上記リード用カラム選択スイッチにその動作制御信号を供給するためのリード用カラム選択線と、

上記ライト用カラム選択スイッチ及び上記リード用カラム選択スイッチを互いに異なるタイミングで動作制御する制御手段と、を含み、

上記ライトI/O線及び上記リードI/O線を上記センスアンプ列に交差するように配置し、上記ライト用カラム選択線及び上記リード用カラム選択線を上記センスアンプ列に並行に配列して成ることを特徴とする半導体記憶装置。

【請求項2】 上記センスアンプ回路は、上記ライトI/O線のデータに基づいて上記ビット線を駆動するためのライトアンプ部と、

上記ビット線のデータに基づいて上記リードI/O線を駆動するためのリードアンプ部とを含み、

上記ライトアンプ部が形成された領域における配線層を利用して上記ライト用カラム選択線を設け、

上記リードアンプ部が形成された領域における配線層を利用して上記リード用カラム選択線を設けて成る請求項1記載の半導体記憶装置。

【請求項3】 上記ライトアンプ部の形成領域と、上記リードアンプ部の形

成領域との間に、リードデータを増幅するためのセンスアンプ部が配置されて成る請求項2記載の半導体記憶装置。

【請求項4】 ライトデータを取り込むためのライトIO線と、

上記ライトIO線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、

上記ライト用カラム選択スイッチにその動作制御信号を供給するためのライト用カラム選択線と、

メモリセルからビット線に読み出されたリードデータを増幅するための複数のセンスアンプ回路が配列されて成るセンスアンプ列と、

データリードのためのリードIO線と、

上記ビット線のリードデータを選択的に上記リードIO線に伝達可能なリード用カラム選択スイッチと、

上記リード用カラム選択スイッチにその動作制御信号を供給するためのリード用カラム選択線と、

上記ライト用カラム選択スイッチ及び上記リード用カラム選択スイッチを互いに異なるタイミングで動作制御するための制御手段と、

上記リードIO線をプリチャージするためのプリチャージ回路と、を含み、

上記制御手段は、上記リードIO線のプリチャージが開始された後に上記リード用カラム選択スイッチをオフ状態に制御する論理回路を含んで成ることを特徴とする半導体記憶装置。

【請求項5】 上記論理回路は、カラムアドレス信号に基づいて上記リード用カラム選択スイッチの動作制御信号を生成するカラムデコーダを含む請求項4記載の半導体記憶装置。

【請求項6】 データリードのためのリードIO線と、

上記リードIO線のデータを取り込んで増幅するためのメインアンプと、

上記リードIO線をプリチャージするためのプリチャージ回路と、を含み、

上記メインアンプの動作が開始されたら上記プリチャージ回路による上記リードIO線のプリチャージを開始させるための手段と、を含むことを特徴する半導体記憶装置。

【請求項 7】 ライトデータを取り込むためのライト I O 線と、

上記ライト I O 線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、

上記ライト用カラム選択スイッチにその動作制御信号を供給するためのライト用カラム選択線と、

メモリセルからビット線に読み出されたリードデータを増幅するための複数のセンスアンプ回路が配列されて成るセンスアンプ列と、

データリードのためのリード I O 線と、

上記ビット線のリードデータを選択的に上記リード I O 線に伝達可能なリード用カラム選択スイッチと、

上記リード用カラム選択スイッチにその動作制御信号を供給するためのリード用カラム選択線と、

上記ライト用カラム選択スイッチ及び上記リード用カラム選択スイッチを互いに異なるタイミングで動作制御するための制御手段と、を含む請求項 6 記載の半導体記憶装置。

【請求項 8】 上記制御手段は、上記プリチャージ回路による上記リード I O 線のプリチャージが開始された後に、上記カラム選択スイッチをオフ状態に制御する手段を含む請求項 7 記載の半導体記憶装置。

【請求項 9】 上記制御手段は、上記プリチャージ回路による上記リード I O 線のプリチャージの開始とほぼ同時に、上記カラム選択スイッチをオフ状態に制御する手段を含む請求項 7 記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置、さらにはそれにおける貫通電流を低減するための技術、及びカラム選択タイミングを最適化するための技術に関する。

【 0 0 0 2 】

【従来の技術】

半導体記憶装置の一例として、複数のダイナミック型メモリセルをアレイ状に

配列してなるダイナミック・ランダム・アクセス・メモリ（「DRAM」と略記する）が知られている。そのような半導体記憶装置において、コラム切り換えスイッチを配し、書き込み制御部及び読み出し制御部がそれぞれ各コラム毎に書き込み実行部及び読み出し実行部を備える半導体記憶装置において、上記書き込み実行部及び読み出し実行部の各々でコラム選択信号を使用するようにした技術が知られている（特開平4-85793号、特開平5-258567号、特開平9-161483号、及び特開2000-132969号）。

【0003】

また、半導体記憶装置において、リード用カラムスイッチとライト用カラムスイッチとを独立した信号線で制御するようにした技術が知られている（特開平5-62463号）。

【0004】

【発明が解決しようとする課題】

ライトIO線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、ビット線のリードデータを選択的にリードIO線に伝達可能なリード用カラム選択スイッチとが、共通の制御信号によって動作制御される半導体記憶装置について本願発明者が検討したところ、ライト時においてもリード用カラム選択スイッチがオンされて、リードIO線のプリチャージ回路とリードアンプとの間に貫通電流が流れることがあり、このことが消費電力の増大を招いていることが見いだされた。例えば図6に示されるように、相補ビット線BLT、BLBに、nチャネル型MOSトランジスタ601、602、603、604から成るリードアンプが結合され、このリードアンプによって相補ビット線BLT、BLBのデータがリードIO線（RIOT、RIOB）に伝達可能に構成されるとき、ライト時において、リードIO線のプリチャージ用のpチャネル型MOSトランジスタ605、606がオンされた状態で、カラム選択信号YSがハイレベルにされたとき、相補ビット線BLT、BLBのうち、ハイレベルになっている側のリードIO線を通じて貫通電流が流れる。

【0005】

一般に、ライト時においてメモリセルへのデータライトを確実に行うためには

、ライトデータに基づいてビット線を駆動する時間を長くした方が良い。つまり、ライト時のカラム選択時間を長くした方が良い。それに対して、リード時には、メモリセルからのリードデータがメインアンプに伝達された後は、カラム選択は不要とされるから、カラム選択スイッチを速やかに非選択状態とすることによって次のリードサイクルに備えるのが望ましい。

【 0 0 0 6 】

しかしながら、ライト I O 線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、ビット線のリードデータを選択的にリード I O 線に伝達可能なリード用カラム選択スイッチとが、共通の制御信号によって動作制御される回路構成においては、ライト用カラム選択スイッチとリード用カラム選択スイッチとを互いに独立して制御することができないため、カラム選択タイミングの最適化が困難とされる。

【 0 0 0 7 】

また、上記従来技術のように、リード用カラムスイッチとライト用カラムスイッチとを独立して信号線で制御可能な回路構成においても、リード用カラムスイッチと、ライト用カラムスイッチとのタイミング制御によっては、上記貫通電流が流れるおそれがある。さらに、リード用カラムスイッチとライト用カラムスイッチとを独立して信号線で制御可能な回路構成においても、そのような制御信号をどのように生成して供給するかが明確にされなければ、カラム選択タイミングの最適化が困難であるのに変わりはない。

【 0 0 0 8 】

本発明の目的は、貫通電流を低減するための技術を提供することにある。

【 0 0 0 9 】

本発明の別の目的は、カラム選択タイミングを容易に最適化するための技術を提供することにある。

【 0 0 1 0 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 1 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】

すなわち、ライトデータを取り込むためのライトIO線と、上記ライトIO線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、上記ライト用カラム選択スイッチの動作制御信号を上記ライト用カラム選択スイッチに供給するためのライト用カラム選択線と、メモリセルからビット線に読み出されたリードデータを増幅するための複数のセンスアンプ回路が配列されて成るセンスアンプ列と、データリードのためのリードIO線と、上記ビット線のリードデータを選択的に上記リードIO線に伝達可能なリード用カラム選択スイッチと、上記リード用カラム選択スイッチの動作制御信号を上記リード用カラム選択スイッチに供給するためのリード用カラム選択線と、上記ライト用カラム選択スイッチ及び上記リード用カラム選択スイッチを互いに異なるタイミングで動作制御可能な制御手段と、を含み、上記ライトIO線及び上記リードIO線を上記センスアンプ列に交差するように配置し、上記ライト用カラム選択線及び上記リード用カラム選択線を上記センスアンプ列に並行に配列する。

【0013】

上記の手段によれば、上記ライト用カラム選択スイッチと上記リード用カラム選択スイッチとが互いに異なるタイミングで動作し、このことが、貫通電流の低減を達成する。具体的には、ライトアンプ内のカラム選択スイッチを動作制御するためのライト用Y選択線WYSと、リードアンプ内のカラム選択スイッチを動作制御するためのリード用Y選択線RYSとが分離されているため、ライト時においてリードアンプ内のカラム選択スイッチを非動作状態とすることができる。これにより、ライト時の貫通電流を低減することができる。

【0014】

また、上記ライトIO線及び上記リードIO線を上記センスアンプ列に交差するように配置し、上記ライト用カラム選択線及び上記リード用カラム選択線を上記センスアンプ列に並行に配列することにより、カラム選択線の配線領域を確保

することができる。具体的には、Y選択線Y Sがライト用Y選択線W Y Sとリード用Y選択線R Y Sとに分離されると、それらが分離されない場合に比べて、Y選択線の総数が2倍に増える。そこで、上記ライトI O線及び上記リードI O線を上記センスアンプ列に交差するように配置し、上記ライト用カラム選択線及び上記リード用カラム選択線を上記センスアンプ列に並行に配列し、もともとY選択線Y Sの数が少ない場合のレイアウトを採用することで、Y選択線Y Sの総数が2倍になってもY選択線Y Sの配線領域確保の容易化を図る。

【 0 0 1 5 】

上記センスアンプ回路は、上記ライトI O線のデータに基づいて上記ビット線を駆動するためのライトアンプ部と、上記ビット線のデータに基づいて上記リードI O線を駆動するためのリードアンプ部とを含み、上記ライトアンプ部が形成された領域における配線層を利用してライト用カラム選択線を設け、上記リードアンプ部が形成された領域における配線層を利用してリード用カラム選択線を設ける。具体的には、Y選択線がライト用Y選択線W Y Sとリード用Y選択線R Y Sとに分離されている場合には、ライトアンプ部とリードアンプ部とが互いに隣接配置されていても、ライトアンプ部とリードアンプ部との間にセンスアンプ部及びプリチャージ部が配置されていても、ライトアンプ部が形成された領域における配線層を利用してライト用Y選択線W Y Sを配線し、リードアンプ部が形成された領域における配線層を利用してリード用Y選択線R Y Sを配線することにより、配線負荷の増大を生じないで済むため、レイアウトの自由度が増す。

【 0 0 1 6 】

ライトデータを取り込むためのライトI O線と、上記ライトI O線を介して伝達された上記ライトデータをビット線に伝達可能なライト用カラム選択スイッチと、上記ライト用カラム選択スイッチの動作制御信号を上記ライト用カラム選択スイッチに供給するためのライト用カラム選択線と、メモリセルからビット線に読み出されたリードデータを増幅するための複数のセンスアンプ回路が配列されて成るセンスアンプ列と、上記ビット線のリードデータを選択的にリードI O線に伝達可能なリード用カラム選択スイッチと、上記リード用カラム選択スイッチの動作制御信号を上記リード用カラム選択スイッチに供給するためのリード用カ

ラム選択線と、上記ライト用カラム選択スイッチ及び上記リード用カラム選択スイッチを互いに異なるタイミングで動作制御可能な信号を生成するためのデコーダと、上記リードＩＯ線をプリチャージするためのプリチャージ回路とを含んで半導体記憶装置が構成されるとき、上記リード用カラム選択スイッチをオフするタイミングよりも早いタイミングで上記プリチャージ回路による上記リードＩＯ線のプリチャージを開始させる。このような制御は、上記デコーダで生成される信号によって行うことができる。具体的には、上記デコーダにおけるデコード条件にプリチャージ制御信号を含めるようにする。

【 0 0 1 7 】

そして、データリードのためのリードＩＯ線と、上記リードＩＯ線のデータを取り込んで増幅するためのメインアンプと、上記リードＩＯ線をプリチャージするためのプリチャージ回路とを含んで半導体記憶装置が構成されるとき、上記メインアンプの動作が開始されたら上記プリチャージ回路による上記リードＩＯ線のプリチャージを開始させるための手段を設けることができる。この手段は、具体的にはメインアンプ制御回路によって実現することができる。ここで、リード動作を高速化するには、リード用ＩＯプリチャージ制御信号を早くアサートさせてリード用ＩＯ線のプリチャージを早める必要がある。しかし、このプリチャージの開始タイミングを早くすると、その分、貫通電流の流れる時間が長くなる。そこで、リード用Ｙ選択線を早く非選択状態とすることで、プリチャージのタイミングを早めた場合の貫通電流の増大を回避する。このような制御は、メインアンプ制御回路から出力されるメインアンプ制御信号をカラムデコーダでのデコードの条件として取り込むようにすれば容易に実現することができる。尚、リード用ＩＯプリチャージ制御信号のアサートタイミングと、リード用Ｙ選択線を非選択状態にするタイミングとがほぼ同時であっても、上記と同様の効果を得ることができる。

【 0 0 1 8 】

【発明の実施の形態】

図 1 5 には本発明にかかる半導体記憶装置の一例である D R A M (ダイナミック・ランダム・アクセス・メモリ) が示される。

【0019】

図15に示されるDRAM150は、特に制限されないが、センスアンプ列151、153、156、158、メモリセルアレイ152、157、メインアンプ列155、ライトバッファ列154、Y（カラム）デコーダ159、161、162、164、X（ロウ）デコーダ160、163、アドレスラッチ回路165、タイミング制御回路166、ライトバッファ制御回路167、入出力回路168、メインアンプ制御回路169を含み、公知の半導体集積回路製造技術により単結晶シリコン基板などの一つの半導体基板に形成される。

【0020】

メモリセルアレイ152、157は、複数個のダイナミック型メモリセルをマトリクス配置して成り、このメモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入力端子はカラム方向毎に相補ビット線に結合される。そしてそれぞれの相補ビット線は、相補ビット線に1対1で結合された複数個のカラム選択スイッチを含むY選択スイッチ回路14を介して相補コモンデータ線に共通接続される。

【0021】

アドレスラッチ回路165は、アドレス入力端子を介して入力されたロウアドレスRA及びカラムアドレスCAを内部に取り込むためにラッチする。このアドレスラッチ回路165にラッチされてから出力されるロウアドレス及びカラムアドレスはそれぞれXA、YAで示され、RA、CAと区別される。上記ロウアドレス信号XAは上記Xデコーダ160、163に伝達される。

【0022】

Xデコーダ160、163は、上記アドレスラッチ回路165を介して入力されたロウアドレスXAをデコードすることによって、複数のワード線から1本のワード線を選択するためのワード線選択信号を形成する。

【0023】

Yデコーダ159、161、162、164は、上記アドレスラッチ回路165を介して入力されたカラムアドレス信号YAをデコードすることにより、カラム選択信号を生成する。このデコーダのデコード条件として、メインアンプ制御

回路 1 6 9 からのメインアンプ制御信号MAC、タイミング制御回路 1 6 6 からのリード用制御信号RC、ライト用制御信号WCとが取り込まれる。

【 0 0 2 4 】

センスアンプ列 1 5 1, 1 5 3, 1 5 6, 1 5 8 は、メモリセルからビット線に読み出されたリードデータを増幅するための複数のセンスアンプSAが配列されて成る。

【 0 0 2 5 】

メインアンプ列 1 5 5 は、ビット線からリードIO線に伝達されたリードデータを増幅するための複数のメインアンプ回路MAが配列されて成る。

【 0 0 2 6 】

入出力回路 1 6 8 は、入出力 (I/O) 端子を介してライトデータを取り込むための入力回路と、メインアンプ列からの出力データDOを外部出力するための出力回路とを含む。

【 0 0 2 7 】

ライトバッファ列 1 5 4 は、上記入出力回路 1 6 8 から出力されたライトデータWDに基づいてライト用IO線を駆動するための複数のライトバッファWBが配列されて成る。

【 0 0 2 8 】

タイミング制御回路 1 6 6 は、ロウアドレスの有効性を示すロウアドレスストロブ信号RAS_N (Nは当該信号がローアクティブであることを示す)、コラムアドレスの有効性を示すコラムアドレスストロブ信号CAS_N、ライト状態を指示するためのライトイネーブル信号WE_Nに基づいて、各部の動作を適正なタイミングで制御するためのリード系タイミング制御信号RC及びライト系タイミング制御WCを形成する。リード系タイミング制御信号RCには、リード状態を示すリード信号YIORBが含まれる。ライト系タイミング制御WCには、ライト状態を示すライト信号YIOWBが含まれる。

【 0 0 2 9 】

ライトバッファ制御回路 1 6 7 は、ライトコントロール信号WCに基づいてライトバッファ列 1 5 4 の動作を制御するためのライトバッファコントロール信号

WBCを形成する。

【0030】

メインアンプ制御回路169は、リード用制御信号RCに基づいてメインアンプ列155を制御するためのメインアンプコントロール信号MACを形成する。メインアンプコントロール信号MACには、リード用IOプリチャージ制御のためのリード用IOプリチャージ制御信号RIOPR、メインアンプにおけるシェアード制御のためのシェアード制御信号MASHR、メインアンプを活性化させるためのメインアンプイネーブル信号MAE、及びメインアンププリチャージ制御のためのメインアンププリチャージ制御信号MAPRが含まれる。

【0031】

次に、各部の詳細な構成について説明する。

【0032】

図1には、センスアンプ列151, 153, 156, 158を構成する複数のセンスアンプ回路SAのうちの一つの構成例が示される。

【0033】

図1に示されるセンスアンプ回路SAは、特に制限されないが、一对の相補ビット線BLT, BLBに対応して、センスアンプ部100、ライトアンプ部110、及びリードアンプ部120が配置されて成る。

【0034】

センスアンプ部100は、相補ビット線BLT, BLBの電位差を増幅する機能を有し、pチャネル型MOSトランジスタ101とnチャネル型MOSトランジスタ102とが直列接続されて成る第1インバータと、pチャネル型MOSトランジスタ103とnチャネル型MOSトランジスタ104とが直列接続されて成る第2インバータとがループ状に結合されて成る。pチャネル型MOSトランジスタ101, 103のソース電極は、センスアンプ用高電位側電源PCSNTに結合される。このセンスアンプ用高電位側電源PCSNTは、センスアンプ部100の動作時には高電位側電源VDDの電圧レベルにされ、センスアンプ部100の非動作時には高電位側電源VDDの1/2の電圧レベル($VDD/2$)とされる。nチャネル型MOSトランジスタ102, 104のソース電極はセンス

アンプ用低電位側電源NCSNBに結合される。このセンスアンプ用低電位側電源NCSNBは、動作時には低電位側電源VSSの電圧レベルにされ、センスアンプ部100の非動作時には高電位側電源VDDの1/2の電圧レベル($VDD/2$)とされる。pチャネル型MOSトランジスタ101とnチャネル型MOSトランジスタ102との直列接続ノードは、ビット線BLTに結合され、pチャネル型MOSトランジスタ103とnチャネル型MOSトランジスタ104との直列接続ノードは、ビット線BLBに結合される。

【0035】

ライトアンプ部110は、ライトIO線WIOT, WIOBのデータに基づいてビット線BLT, BLBを駆動する機能を有し、nチャネル型MOSトランジスタ111, 112, 113, 114を含んで成る。nチャネル型MOSトランジスタ111, 112、及びnチャネル型MOSトランジスタ113, 114はそれぞれ直列接続される。nチャネル型MOSトランジスタ111, 112のゲート電極にはライト選択線WSが結合され、このライト選択線WSがハイレベルにされることによってnチャネル型MOSトランジスタ111, 113が導通されるようになっている。また、nチャネル型MOSトランジスタ112, 114のゲート電極にはライト用Y選択線WYSが結合され、このライト用Y選択線WYSがハイレベルにされることによってnチャネル型MOSトランジスタ112, 114が導通されるようになっている。nチャネル型MOSトランジスタ112, 114はカラム選択スイッチとされ、ライト用Y選択線WYSの信号は、対応するYデコーダ159, 161, 162, 164によって生成される。nチャネル型MOSトランジスタ112, 114、及びnチャネル型MOSトランジスタ111, 113が導通された期間に、ライト用IO線WIOT, WIOBのデータに基づいてビット線BLT, BLBが駆動される。

【0036】

リードアンプ部120は、上記ビット線のデータに基づいて上記リードIO線RIOT, RIOBを駆動する機能を有し、nチャネル型MOSトランジスタ121, 122, 123, 124が結合されて成る。nチャネル型MOSトランジスタ121, 123のゲート電極にはリード用Y選択線RYSが結合され、この

リード用Y選択線RYSがハイレベルにされ、nチャネル型MOSトランジスタ121, 123がオンされた状態で上記ビット線のデータの読み出しが可能とされる。nチャネル型MOSトランジスタ121, 123はカラム選択スイッチとされ、リード用Y選択線RYSの信号は、対応するYデコーダ159, 161, 162, 164によって生成される。

【0037】

図3には、メインアンプ列155を構成する複数のメインアンプ回路MAのうちの一つの構成例が示される。

【0038】

メインアンプ回路MAは、リード用IO線RIOT, RIOBをプリチャージするためのプリチャージ回路321、回路分離のためのシェアード回路322、シェアード回路322を介して伝達された信号を増幅するためのメインアンプ部324、このメインアンプ324の信号ラインをプリチャージするためのプリチャージ回路323、及びメインアンプイネーブル信号MAEに基づいてメインアンプ部324の動作、非動作状態を切り換えるためのnチャネル型MOSトランジスタ312を含んで成る。

【0039】

プリチャージ回路321は、リード用IOプリチャージ制御信号RIOPRの論理反転信号RIOPRBに基づいて、リード用IO線RIOT, RIOBに高電位側電源VDDによる電圧を供給可能なpチャネル型MOSトランジスタ605, 606と、リード用IOプリチャージ制御信号RIOPRの論理反転信号RIOPRBに基づいてリード用IO線RIOT, RIOB間を短絡可能なpチャネル型MOSトランジスタ607とを含んで成る。pチャネル型MOSトランジスタ605, 606の直列接続ノードには高電位側電源VDDが接続される。

【0040】

シェアード回路322は、シェアード制御信号MASHRの論理反転信号MASHRBに基づいて、リード用IO線RIOT, RIOBをメインアンプ部324に結合させるためのpチャネル型MOSトランジスタ301, 302とを含んで成る。pチャネル型MOSトランジスタ301, 302のゲート電極にはシェ

アード制御信号MASHRの論理反転信号MASHRBが供給される。このシェアード制御信号MASHRがハイレベルにアサートされた期間に、pチャネル型MOSトランジスタ301, 302がオンされて、リード用IO線RIOT, RIOBがメインアンプ部324に結合される。

【0041】

メインアンプ部324は、pチャネル型MOSトランジスタ308とnチャネル型MOSトランジスタ309とが直列接続された第1インバータと、pチャネル型MOSトランジスタ310とnチャネル型MOSトランジスタ311とが直列接続された第2インバータとがループ状に結合されて成る。pチャネル型MOSトランジスタ308, 310のソース電極は高電位側電源VDDに結合される。nチャネル型MOSトランジスタ309, 311のソース電極はnチャネル型MOSトランジスタ312を介して低電位側電源VSSに結合される。

【0042】

プリチャージ回路323は、メインアンププリチャージ制御信号MAPRの論理反転信号MAPRBに基づいてメインアンプ部324の相補信号ラインに高電位側電源VDDによる電圧を供給可能なpチャネル型MOSトランジスタ305, 306と、メインアンププリチャージ制御信号MAPRの論理反転信号MAPRBに基づいてメインアンプ部324の相補信号ライン間を短絡可能なpチャネル型MOSトランジスタ307とを含んで成る。pチャネル型MOSトランジスタ305, 306の直列接続ノードには高電位側電源VDDが接続される。

【0043】

尚、図3においては省略されているが、メインアンプ部324の右側にも、シェアード回路322及びプリチャージ回路321と同等の回路が設けられる。

【0044】

図4には、上記DRAMのリード時における主要部の動作タイミングが示される。

【0045】

図15に示されるリード信号YIORBがローレベルにアサートされることによってDRAMのデータリードが行われる。リード時は、リード用IOプリチャ

ージ制御信号R I O P R及びメインアンププリチャージ制御信号M A P Rがローレベルにネゲートされてプリチャージが停止され、シェアード制御信号M A S H Rがハイレベルにアサートされることによりpチャンネル型M O Sトランジスタ301, 302がオンされて、リード用I O線R I O T, R I O Bがメインアンプ部324に導通される。このとき、センスアンプ回路S Aでは、リード用Y選択線R Y Sがハイレベルにされることによりリードデータの出力が開始される。リードアンプ120を介してリード用I O線R I O T, R I O Bにある程度データが伝達された時点で、メインアンプイネーブル信号M A Eがハイレベルにアサートされることによりメインアンプ部324の増幅動作が開始される。メインアンプ部324での増幅開始とともに、シェアード制御信号M A S H Rがローレベルにネゲートされてpチャンネル型M O Sトランジスタ301, 302がオフされることにより、メインアンプ部324の負荷が軽くされる。その後、リード用Y選択線R Y Sがローレベルにされるとともに、リード用I Oプリチャージ制御信号R I O P Rがハイレベルにアサートされて再びリードI O線R I O T, R I O Bのプリチャージが開始される。また、メインアンプ部324でデータが増幅された後に再びメインアンププリチャージ制御信号M A P Rがハイレベルにアサートされてメインアンプ部324における相補信号線のプリチャージが行われる。

【0046】

リード動作を高速化するには、図4において破線で示されるようにリード用I Oプリチャージ制御信号R I O P Rを早くアサートさせてリード用I O線R I O T, R I O Bのプリチャージを早める必要がある。つまり、メインアンプイネーブル信号M A Eがハイレベルにアサートされてメインアンプ部324の動作が開始された後に速やかにリード用I Oプリチャージ制御信号R I O P Rをハイレベルにアサートしてリード用I O線R I O T, R I O Bのプリチャージを開始させる。しかし、このプリチャージの開始タイミングを早くすると、その分、貫通電流の流れる時間が長くなる。そこで、本例では、リード用Y選択線R Y Sを早く選択状態にさせるようにすることで、プリチャージのタイミングを早めた場合の貫通電流の増大を回避している。このような制御は、メインアンプ制御回路169から出力されるメインアンプ制御信号M A CをYデコーダ159, 161, 1

62, 164でのデコードの条件として取り込むようにすればよい。つまり、Yデコーダ159, 161, 162, 164において、上記メインアンプ制御信号MACに含まれるリード用IOプリチャージ制御信号RIOPRを参照してリード用Y選択線RYSの非選択状態にするタイミングを決定すればよい。

【0047】

尚、リード用IOプリチャージ制御信号RIOPRのアサートタイミングと、リード用Y選択線RYSを非選択状態にするタイミングとがほぼ同時であっても、上記と同様の効果が得られる。

【0048】

図5には、上記DRAMのライト時における主要部の動作タイミングが示される。

【0049】

ライト時には、ライト用IO線WIOT, WIOBにライトデータが伝達され、ライト用Y選択線WYSとライト選択線WSとがハイレベルにされることでビット線BLT, BLBにライトデータが供給され、そのデータによってメモリセルの記憶情報が書き換えられる。

【0050】

図2には、図1に示されるセンスアンプ回路SAの比較対象とされる回路構成が示される。図2に示される回路構成では、カラム選択スイッチを構成するnチャネル型MOSトランジスタ112, 114, 121, 123のゲート電極が、共通のY選択線に結合されている。つまり、ライトアンプ110内のカラム選択スイッチもリードアンプ120内のカラム選択スイッチも、Y選択線YSによって伝達された選択信号によってほぼ同時に駆動制御される。ライト時には、リード系回路は不要である。従ってライト時には、図6に示されるようにリード用IO線RIOT, RIOBがプリチャージ用のpチャネル型MOSトランジスタ605, 606によってプリチャージされており、その状態でY選択線YSがハイレベルにされると、nチャネル型MOSトランジスタ603, 604がオンされることにより、回路に不所望な貫通電流が流れる。また、Y選択線YSは、同一のセンスアンプ列内の全てのセンスアンプ回路SAに共通接続されるため、対応

するYデコーダ159, 161, 162, 164から見た負荷が大きくなる。さらに、ライトアンプ110内のカラム選択スイッチ(112, 114)と、リードアンプ120内のカラム選択スイッチ(121, 123)とを互いに異なるタイミングで動作制御することができない。

【0051】

これに対して、図1に示される回路構成では、ライトアンプ110内のカラム選択スイッチ(112, 114)を動作制御するためのライト用Y選択線WYSと、リードアンプ120内のカラム選択スイッチ(121, 123)を動作制御するためのリード用Y選択線RYSとが分離されているため、ライト時においてリードアンプ120内のカラム選択スイッチ(121, 123)を非動作状態とすることができる。このため、図6に示されるようなライト時の貫通電流は流れない。

【0052】

また、本例では、Y選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されているため、対応するYデコーダ159, 161, 162, 164から見た負荷は、図2に示される場合の半分になる。このため、カラム選択スイッチの高速駆動が可能とされる。

【0053】

さらに、プリチャージの高速化のためにはリード用Y選択線RYSをハイレベルにする期間は短い方がよい。それに対して、ライト時は確実にデータをメモリセルに書き込むためにライト用Y選択線WYSのハイレベル期間を長くする必要がある。本例によれば、Y選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されているため、ライトアンプ110内のカラム選択スイッチ(112, 114)と、リードアンプ120内のカラム選択スイッチ(121, 123)とを互いに異なるタイミングで動作制御することができるので、プリチャージの高速化のためにリード用Y選択線RYSをハイレベルにする期間を短くし、ライト時は確実にデータをメモリセルに書き込むためにライト用Y選択線WYSのハイレベル期間を長くする、といったタイミング制御を容易に行うことができる。

【0054】

次に、DRAMにおける主要部のレイアウトについて説明する。

【0055】

一般的なDRAMではI/O線の数に比べてY選択線の数が多い。その場合には、図8に示されるように、Y選択線YSの配線領域を確保するためにY選択線YSはセンスアンプ列と交差するように配線され、I/O線はY選択線YSと交差するように配線される。

【0056】

これに対して、例えばマイクロコンピュータにオンチップ化されるようなDRAMのように、Y選択線YSの数に比べてI/O線の数が多い場合には、多数ビットをほぼ同時にリードすることによりデータ転送速度を向上することができる。この場合、図9に示されるように、I/O線の配線領域を確保するために、I/O線はセンスアンプ列に交差するように配置され、Y選択線YSはセンスアンプ列に並行に配線される。本例では、Y選択線YSがライト用Y選択線WYSとリード用Y選択線RYSとに分離されており、それらが分離されない場合に比べると、Y選択線の総数が2倍に増える。このため、図8に示されるレイアウトでは、Y選択線の総数が膨大になり、Y選択線YSの配線領域確保が難しくなる。これに対して図9に示されるレイアウトは、もともとY選択線YSの数が少ない場合のレイアウトであり、Y選択線YSの総数が2倍になってもY選択線YSの配線領域確保は比較的容易とされる。このため、本例では、Y選択線YSの数が少ない場合のレイアウト（図9）を採用することによって、Y選択線YSの配線領域を確保するようにしている。

【0057】

次に、センスアンプ回路SAとY選択線YSの配線構造について説明する。

【0058】

図10に示されるように、センスアンプ回路SAには、ビット線の微小信号を増幅するセンスアンプ部の他に、データライト用のライトアンプ部、及びデータリード用のリードアンプ部、ビット線をプリチャージするためのプリチャージ部、及びセンスアンプ部を中心とする左右の相補ビット線の選択的な信号増幅を可

能とするシェアMOS部が配置される。

【0059】

図10及び図11に示される構成では、図2に示されるのと同様に、Y選択線YSがライト用とリード用とに分離されていない。図10に示される構成では、Y選択線YSを分配する配線を可能な限り短くして負荷の軽減を図るため、ライトアンプ部とリードアンプ部とが互いに隣接配置される。それに対して図11に示される構成では、ライトアンプ部とリードアンプ部とが隣接配置されていないため、Y選択線YSを分配する配線は、図10に示される場合に比べて長くなり、負荷が重くなるため、Y選択時間の遅延を招く。

【0060】

図12及び図13に示される構成では、図1に示されるのと同様に、Y選択線YSがライト用Y選択線WYSとリード用Y選択線RYSとに分離されている。図12に示される構成では、ライトアンプ部とリードアンプ部とが互いに隣接配置され、ライトアンプ部が形成された領域における配線層を利用してライト用Y選択線WYSが配線され、リードアンプ部が形成された領域における配線層を利用してリード用Y選択線RYSが配線されている。図13に示される構成では、ライトアンプ部とリードアンプ部との間に、センスアンプ部及びプリチャージ部とが配置され、ライトアンプ部が形成された領域における配線層を利用してライト用Y選択線WYSが配線され、リードアンプ部が形成された領域における配線層を利用してリード用Y選択線RYSが配線されている。このようにY選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されている場合には、図12に示されるようにライトアンプ部とリードアンプ部とが互いに隣接配置されていても、図13に示されるようにライトアンプ部とリードアンプ部との間にセンスアンプ部及びプリチャージ部が配置されていても、ライトアンプ部が形成された領域における配線層を利用してライト用Y選択線WYSを配線し、リードアンプ部が形成された領域における配線層を利用してリード用Y選択線RYSを配線することにより、配線負荷の増大を生じないで済むため、レイアウトの自由度が増す。

【0061】

センスアンプ部を構成するnチャネル型MOSトランジスタ（NMOS）と、ライトアンプ部とは、図14に示されるように、拡散層を共有化したレイアウトが可能とされる。これに対して、リードアンプ部ではビット線がMOSトランジスタのゲート電極に結合されるため拡散層を共有化できない。上記のようにY選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されることにより、リードアンプ部とライトアンプ部との間のレイアウトの制約条件が減るため、レイアウトの自由度が増し、リードアンプ部をセンスアンプ部から離して他の回路と拡散層を共有化することが可能になる。

【0062】

上記の例によれば、以下の作用効果を得ることができる。

【0063】

(1) 図1に示される回路構成では、ライトアンプ110内のカラム選択スイッチ（112，114）を動作制御するためのライト用Y選択線WYSと、リードアンプ120内のカラム選択スイッチ（121，123）を動作制御するためのリード用Y選択線RYSとが分離されているため、ライト時においてリードアンプ120内のカラム選択スイッチ（121，123）を非動作状態とすることができる。このため、図6に示されるようなライト時の貫通電流は流れない。

【0064】

(2) Y選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されているため、対応するYデコーダ159，161，162，164から見た負荷は、図2に示される場合の半分になる。このため、カラム選択スイッチの高速駆動が可能とされる。

【0065】

(3) リードの高速化のためにIO線のプリチャージを早くすると、貫通電流が増えるため、Y選択線の選択期間は短い方がよい。それに対してライト時は、確実にデータをメモリセルに書き込むためにライト用Y選択線WYSのハイレベル期間を長くする必要がある。本例によれば、Y選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されているため、ライトアンプ110内のカラム選択スイッチ（112，114）と、リードアンプ120内のカラム選択

スイッチ（121，123）とを互いに異なるタイミングで動作制御することができるので、プリチャージの高速化のためにリード用Y選択線RYSをハイレベルにする期間を短くし、ライト時は確実にデータをメモリセルに書き込むためにライト用Y選択線WYSのハイレベル期間を長くする、といったタイミング制御を容易に行うことができる。特に、リード時には次のようなタイミング制御を行うことによりリードの高速化を図ることができる。すなわち、リード動作を高速化するために、図4において破線で示されるようにリード用IOプリチャージ制御信号RIOPRを早くアサートさせてプリチャージを早め、リード用Y選択線RYSを早く非選択状態にさせるようにすることで、プリチャージのタイミングを早めた場合の貫通電流の増大を回避する。このような制御は、メインアンプ制御回路169から出力されるメインアンプ制御信号MACをYデコーダ159，161，162，164でのデコードの条件として取り込むことで可能とされる。つまり、Yデコーダ159，161，162，164において、上記メインアンプ制御信号MACに含まれるリード用IOプリチャージ制御信号RIOPRが参照されることでリード用Y選択線RYSの上記非選択状態にさせるタイミングが決定される。

【0066】

（3）センスアンプ回路はビット線の配列ピッチによって決定される幅の中に回路を作成する必要がある。そのため、元々のレイアウトに対する制約が大きく、面積低減のため試行錯誤する。ライトアンプ部とリードアンプ部とが離れている場合、ライトアンプ部とリードアンプ部との双方に信号を送る必要があるため、Y選択線が分離されていない方式では、配線長が長くなり、配線負荷が大きくなるため、カラム選択スイッチの動作遅延を招くなど、回路の性能が低下するのに対して、このようにY選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されている場合には、図12に示されるようにライトアンプ部とリードアンプ部とが互いに隣接配置されていても、図13に示されるようにライトアンプ部とリードアンプ部との間にセンスアンプ部及びプリチャージ部が配置されていても、ライトアンプ部が形成された領域における配線層を利用してライト用Y選択線WYSを配線し、リードアンプ部が形成された領域における配線層を

利用してリード用Y選択線RYSを配線することにより、配線負荷の増大を生じないで済むため、レイアウトの自由度が増す。

【0067】

(4) Y選択線がライト用Y選択線WYSとリード用Y選択線RYSとに分離されており、それらが分離されない場合に比べると、Y選択線の総数が2倍に増える。このため、図8に示されるレイアウトでは、Y選択線の総数が膨大になり、Y選択線の配線領域確保が難しくなるが、図9に示されるレイアウトは、もともY選択線の数が多い場合のレイアウトであり、Y選択線の総数が2倍になってもY選択線の配線領域確保は比較的容易とされる。このため、Y選択線の数が多い場合のレイアウト(図9)を採用することによって、Y選択線の配線領域を確保することができる。

【0068】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0069】

例えば、貫通電流を低減する別の手段としては、図7に示されるように、リードIO線のプリチャージ用のpチャネル型MOSトランジスタ605, 606を、ライト時にオフ(非導通)状態に制御することが考えられる。pチャネル型MOSトランジスタ605, 606が、ライト時にオフ(非導通)状態に制御されることによって、ライト時の貫通電流を低減することができる。

【0070】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体記憶装置若しくはそれが内蔵された半導体集積回路に広く適用することができる。

【0071】

本発明は、少なくともデータのリードライトを可能とする手段を含むことを条件に適用することができる。

【 0 0 7 2 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 7 3 】

すなわち、ライト用カラム選択スイッチとリード用カラム選択スイッチとが互いに異なるタイミングで動作可能であるため、ライト時においてリードアンプ内のカラム選択スイッチを非動作状態とすることができ、これにより、ライト時の貫通電流を低減することができる。このとき、上記ライト I O 線及び上記リード I O 線を上記センスアンプ列に交差するように配置し、上記ライト用カラム選択線及び上記リード用カラム選択線を上記センスアンプ列に並行に配列することにより、カラム選択線の配線領域を確保することができる。

【図面の簡単な説明】

【図 1】

本発明にかかる半導体記憶装置の一例である D R A M における主要部の構成例回路図である。

【図 2】

図 1 に示される回路の比較対象とされる回路の構成例回路図である。

【図 3】

上記 D R A M における主要部の構成例回路図である。

【図 4】

上記 D R A M におけるリード時の動作タイミング図である。

【図 5】

上記 D R A M におけるライト時の動作タイミング図である。

【図 6】

上記 D R A M における貫通電流パスを示すための回路図である。

【図 7】

図 6 に示される貫通電流を阻止する手段を示すための回路図である。

【図 8】

DRAMにおける主要部のレイアウト例の説明図である。

【図9】

DRAMにおける主要部のレイアウト例の説明図である。

【図10】

DRAMにおける主要部のレイアウト例の説明図である。

【図11】

DRAMにおける主要部のレイアウト例の説明図である。

【図12】

DRAMにおける主要部のレイアウト例の説明図である。

【図13】

DRAMにおける主要部のレイアウト例の説明図である。

【図14】

DRAMにおける主要部のレイアウト例の説明図である。

【図15】

本発明にかかる半導体記憶装置の一例であるDRAMの全体的な構成例ブロック図である。

【符号の説明】

- 100 センスアンプ部
- 110 ライトアンプ部
- 120 リードアンプ部
- 150 DRAM
- 151, 153, 156, 158 センスアンプ列
- 152, 157 メモリセルアレイ
- 154 ライトバッファ列
- 155 メインアンプ列
- 159, 161, 162, 164 Yデコーダ
- 160, 163 Xデコーダ
- 165 アドレスラッチ回路
- 166 タイミング制御回路

1 6 7 ライトバッファ制御回路

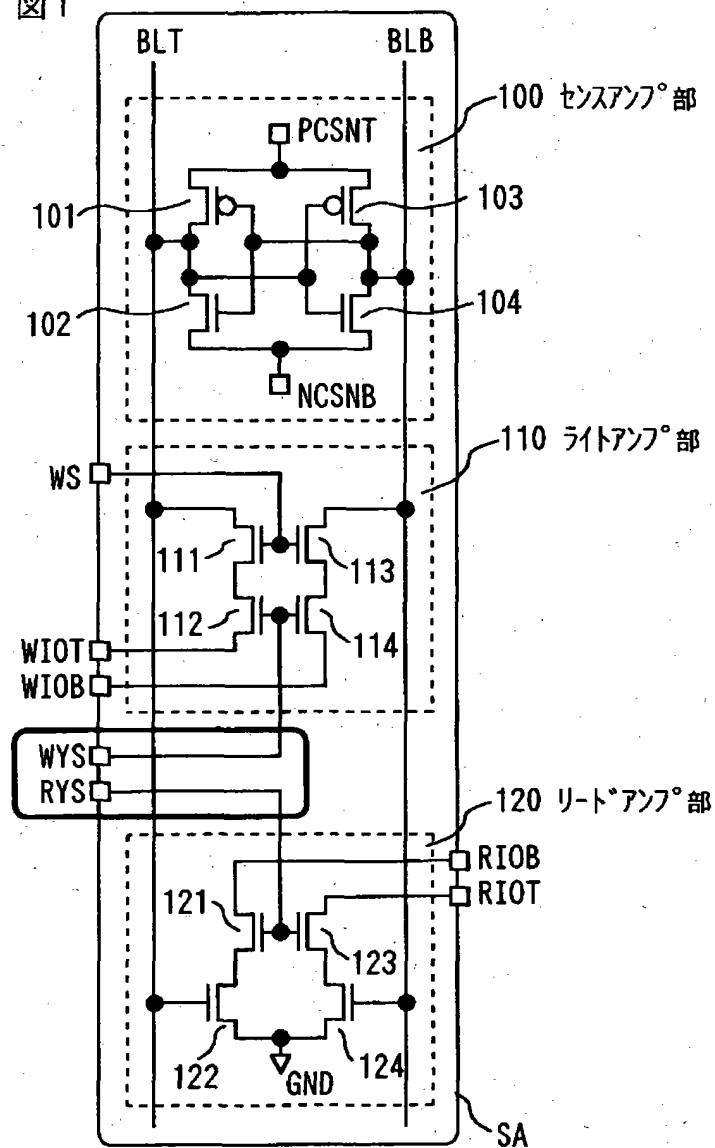
1 6 8 入出力回路

1 6 9 メインアンプ制御回路

【書類名】 図面

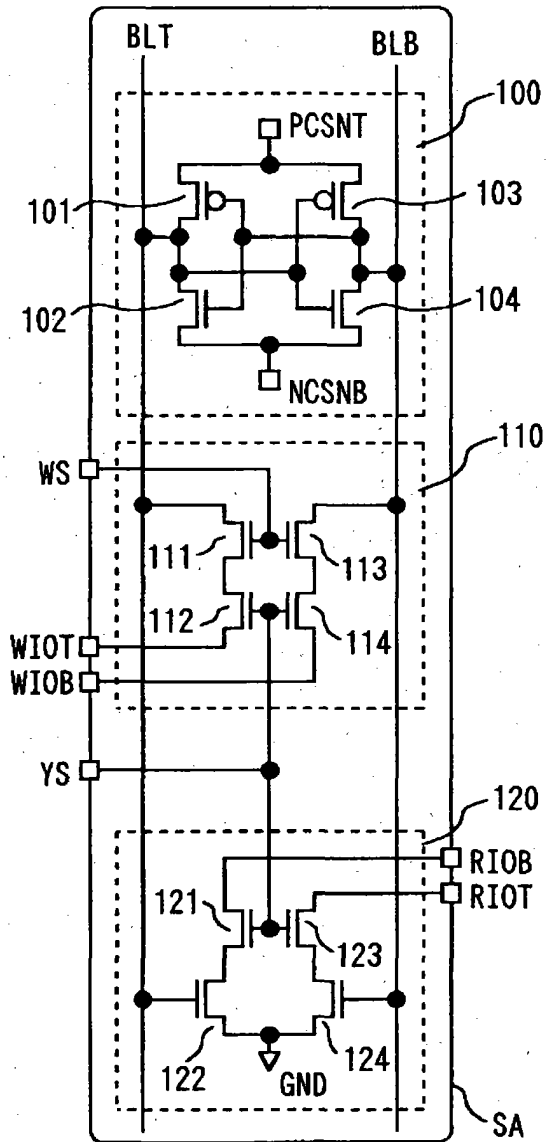
【図1】

図1

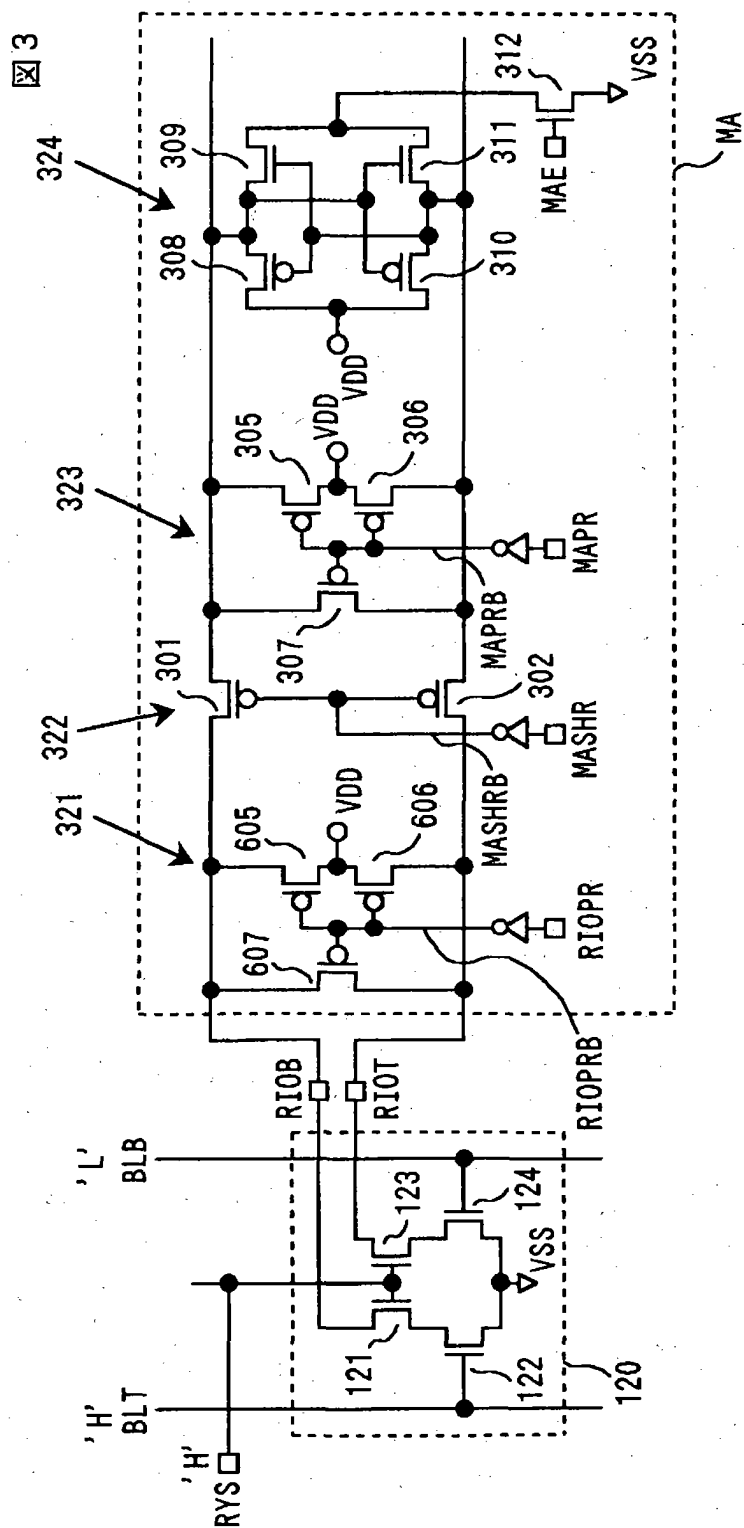


【図 2】

図 2

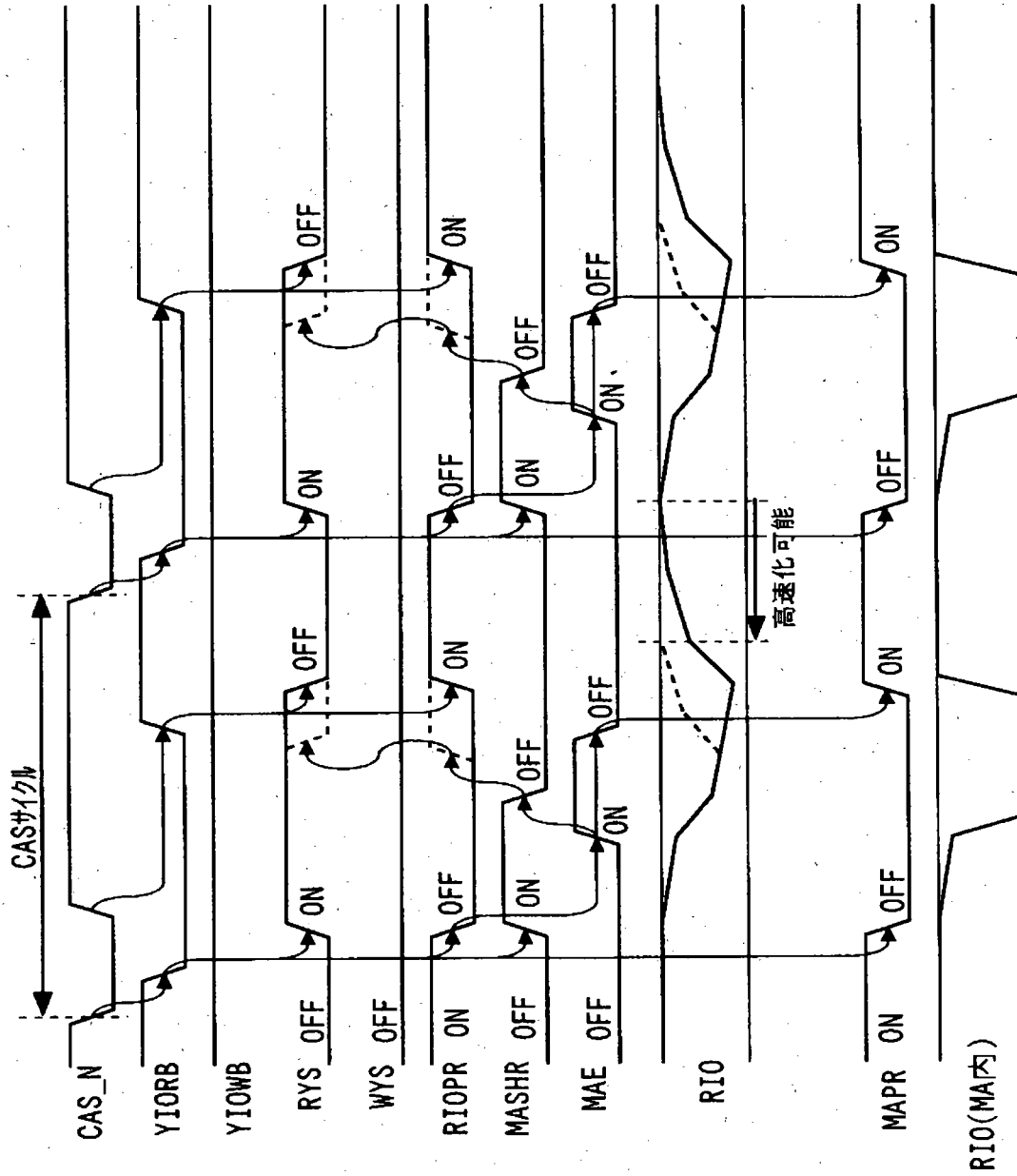


【図 3】



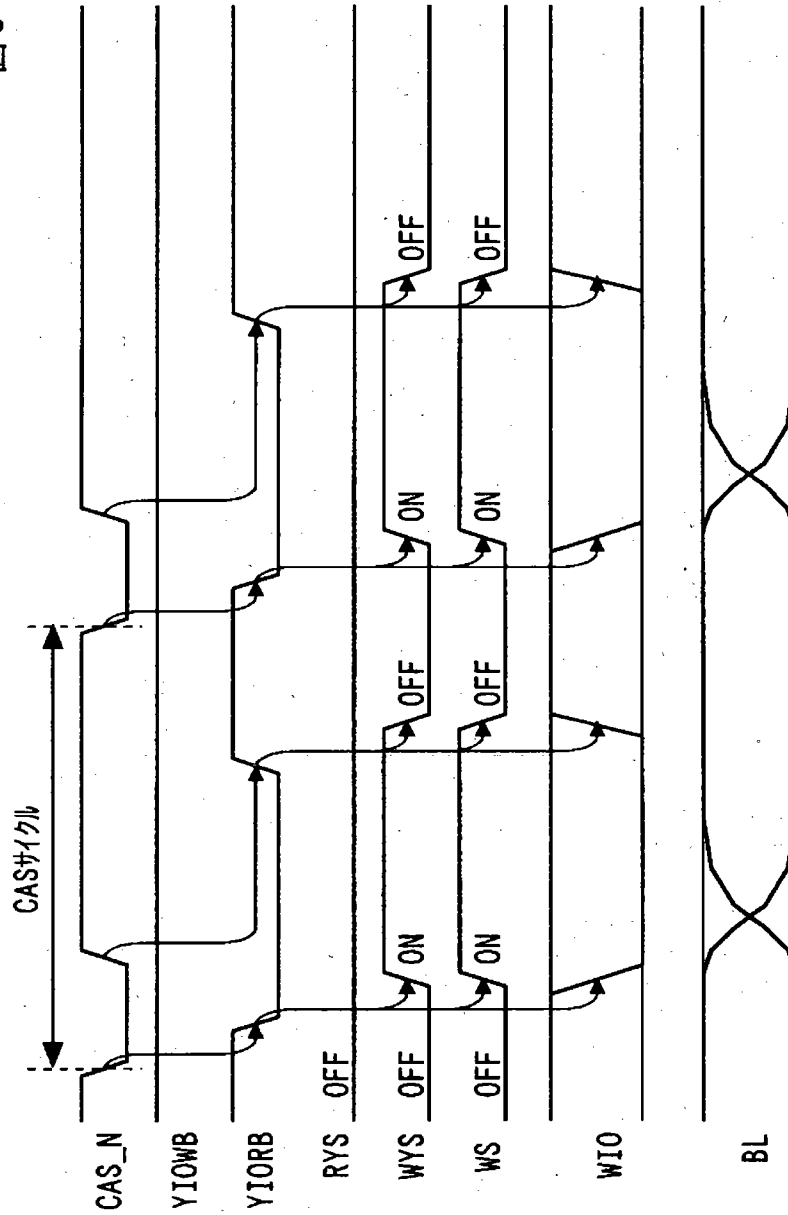
【図4】

図4

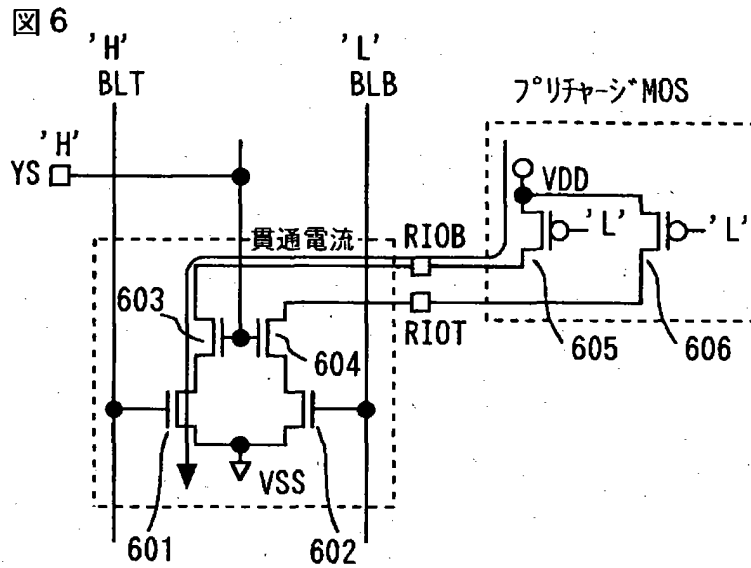


【図5】

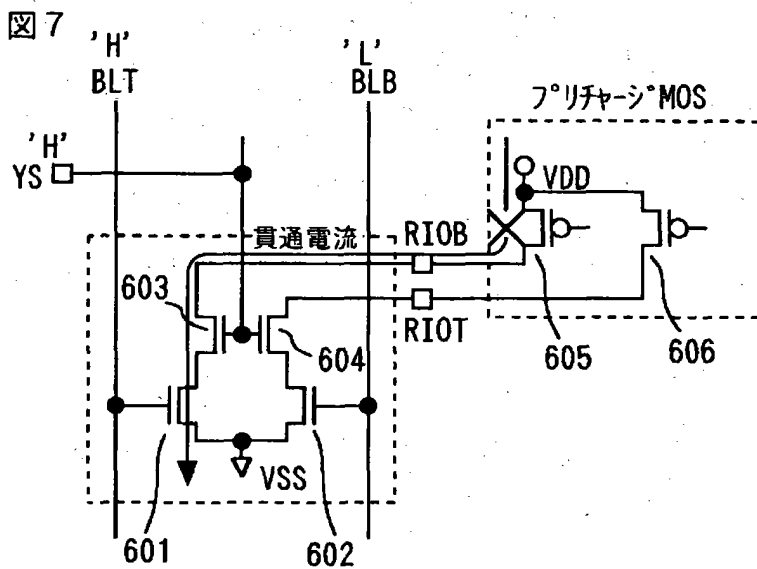
図5



【図 6】

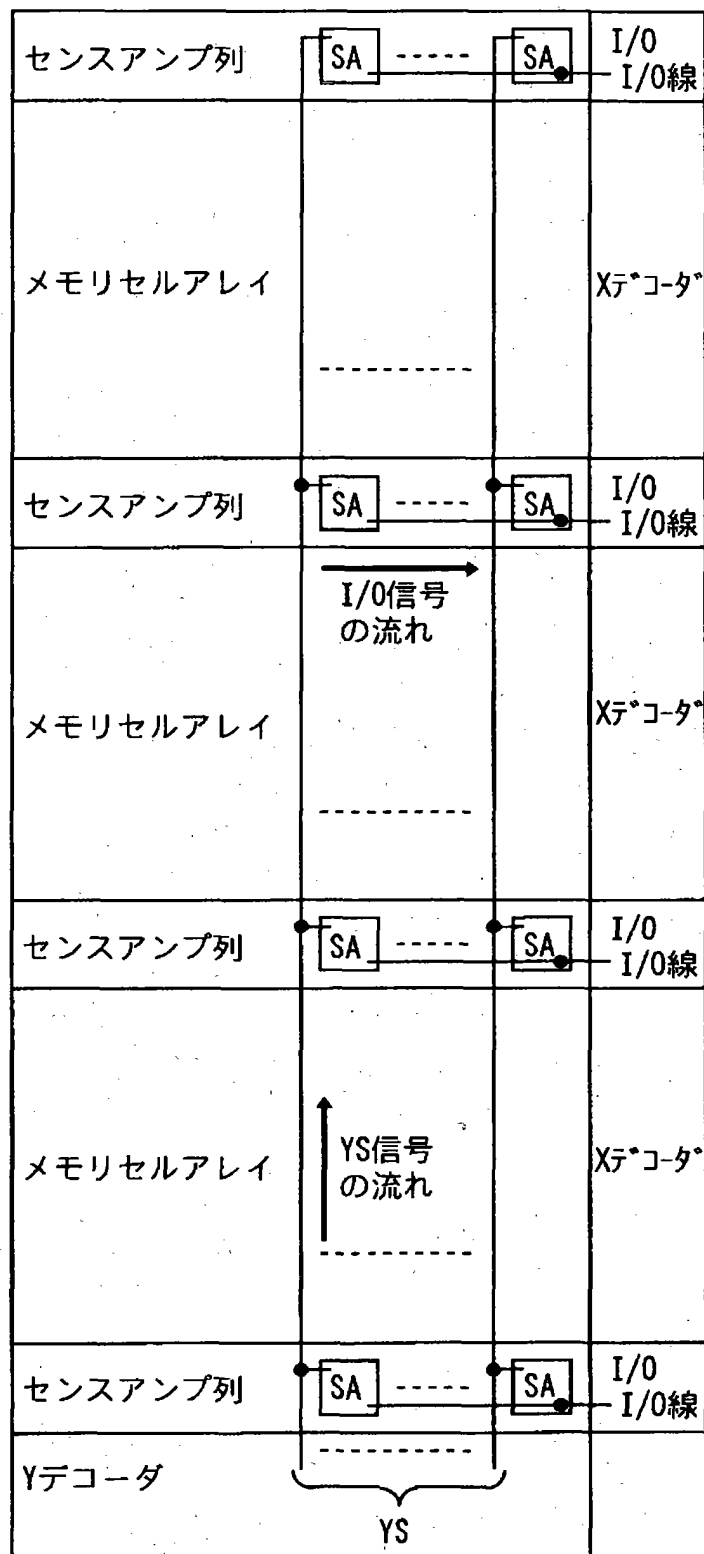


【図 7】



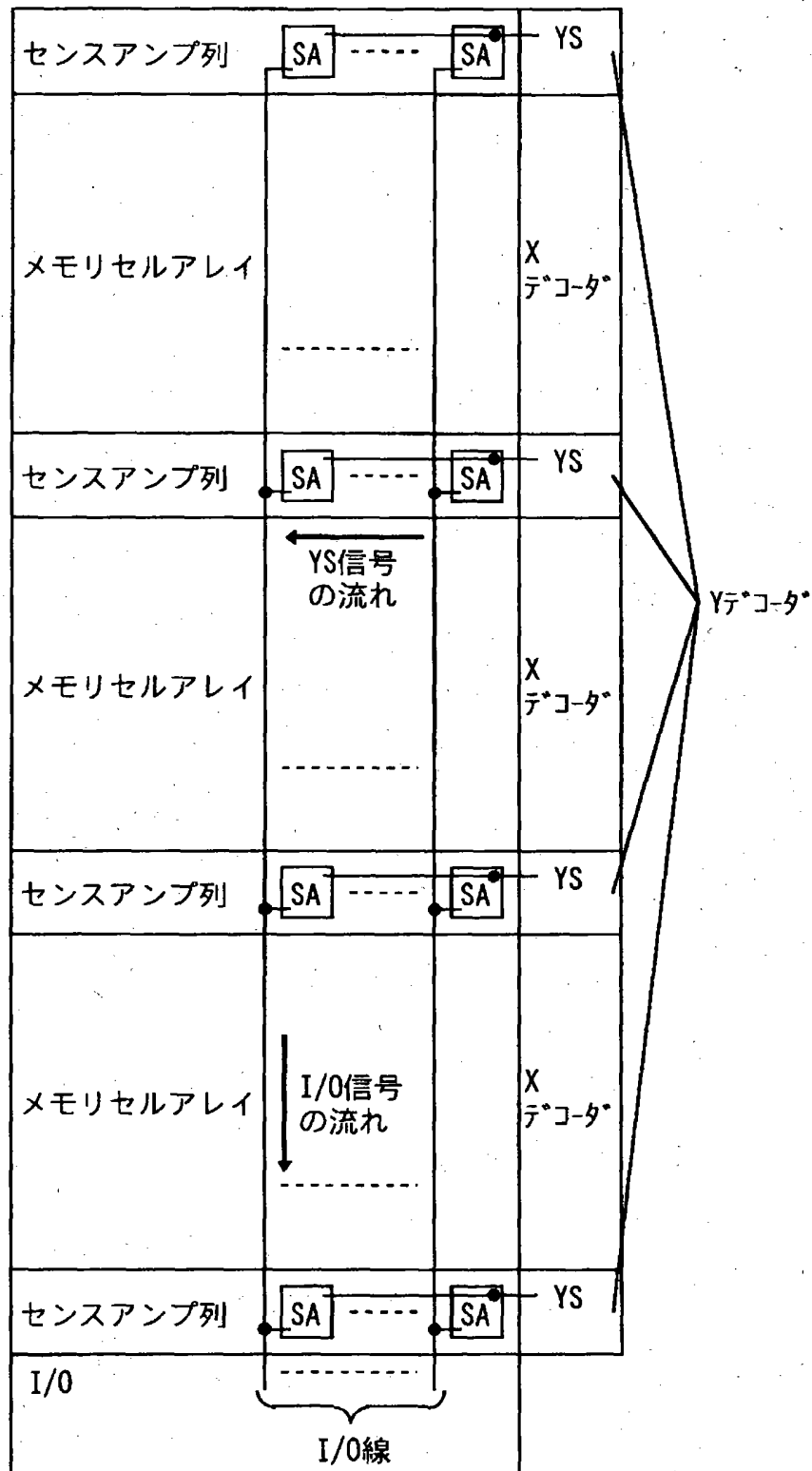
【図 8】

図 8

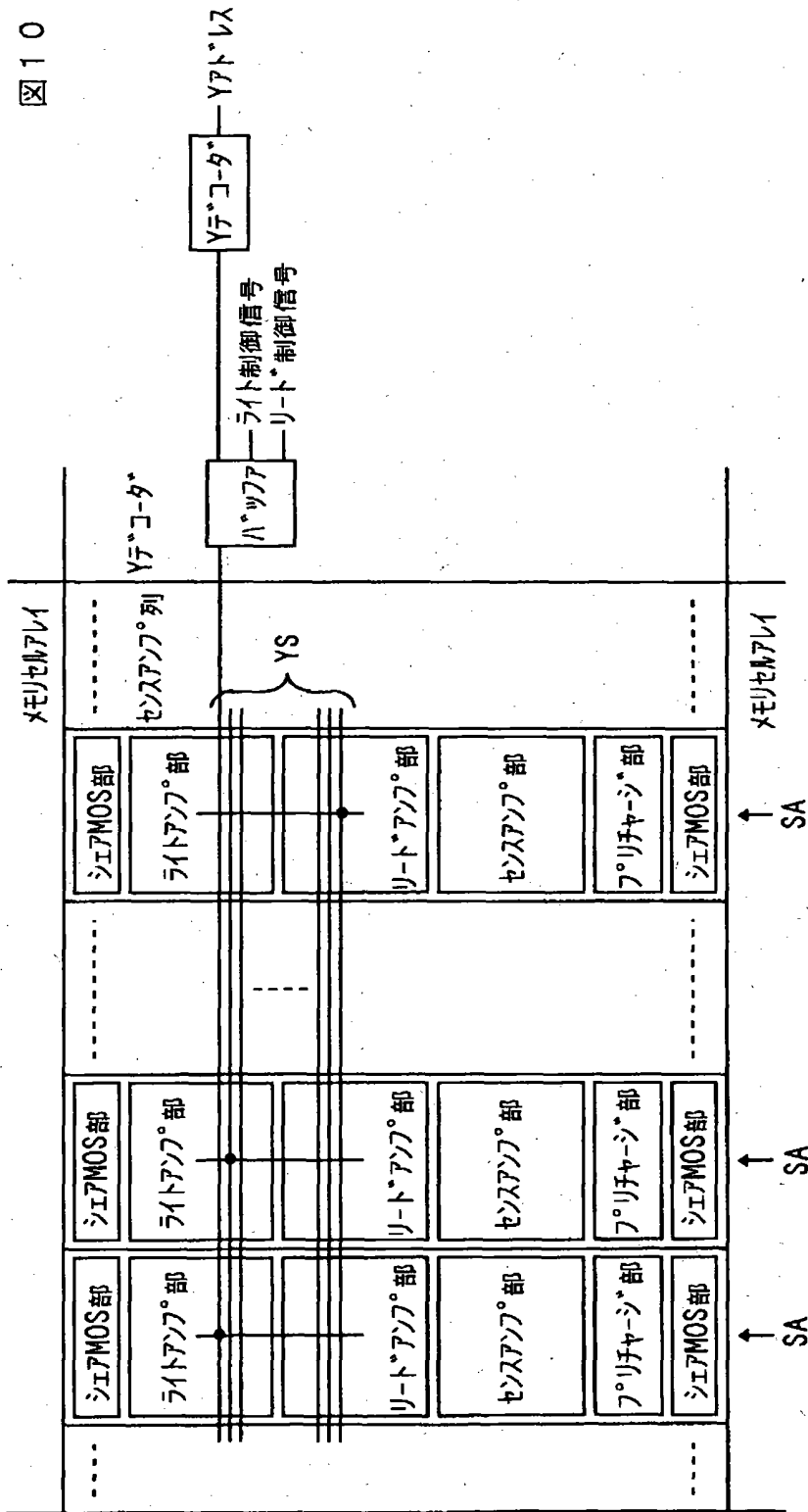


【図9】

図9

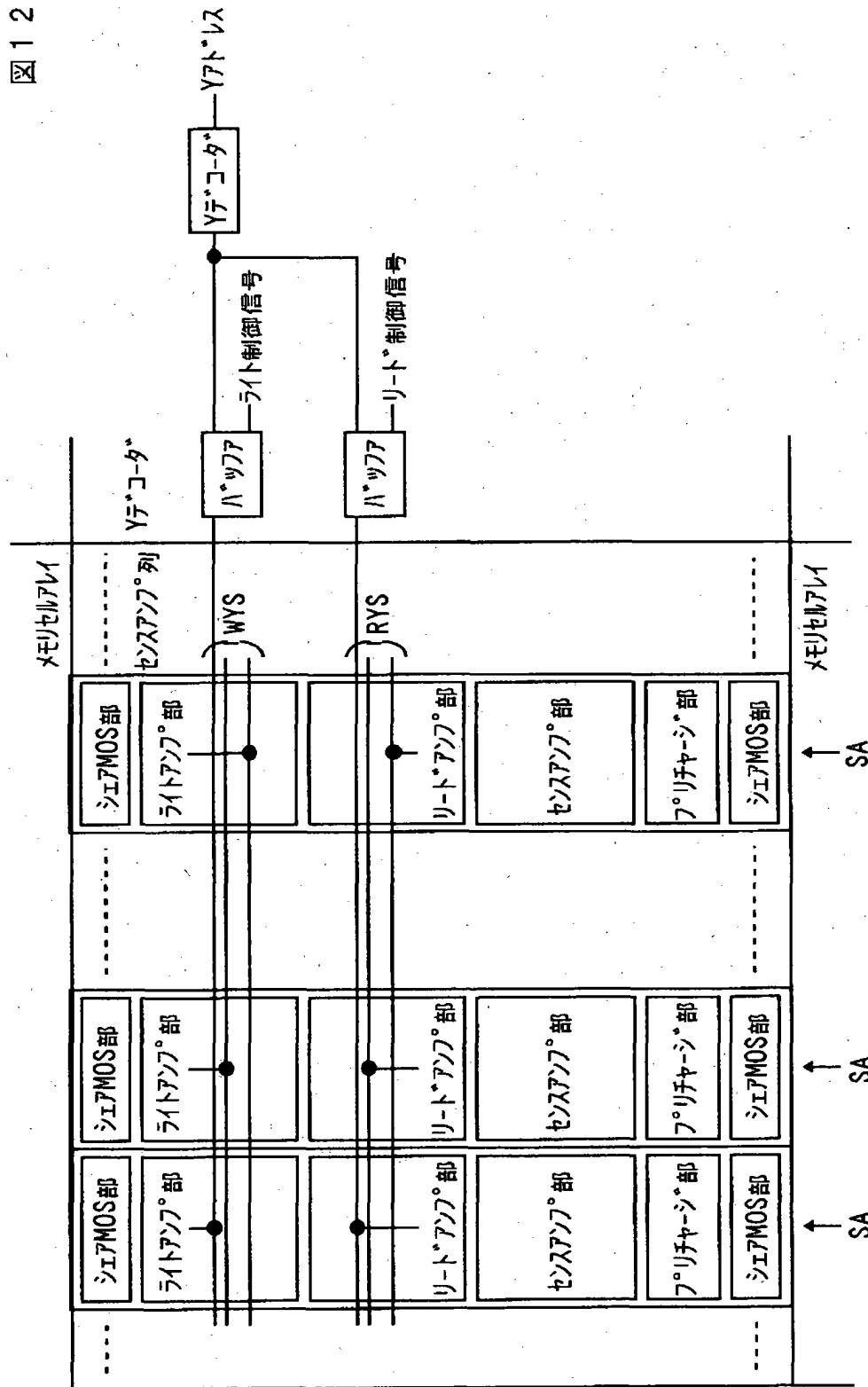


【図10】



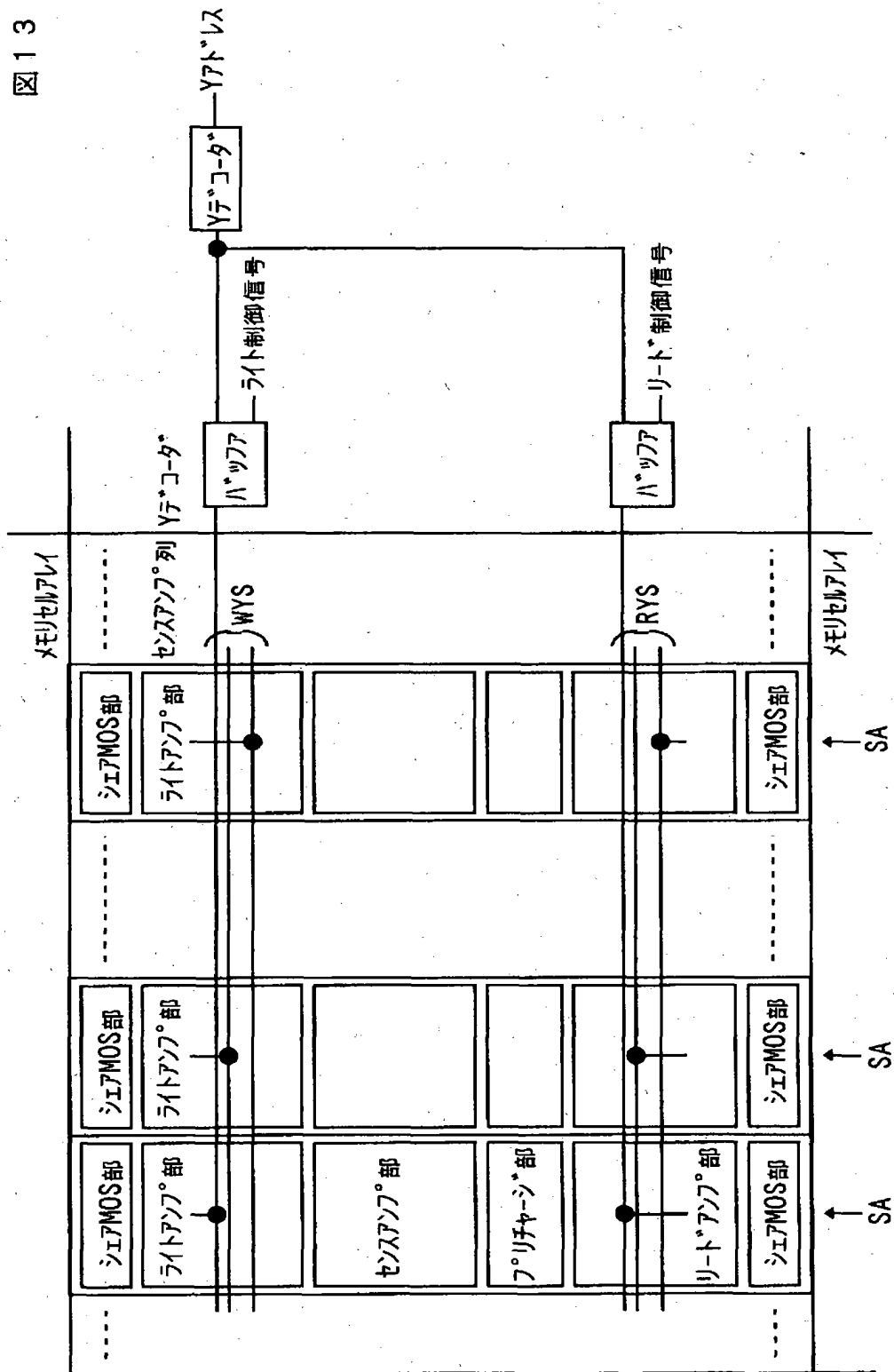
【図12】

図12

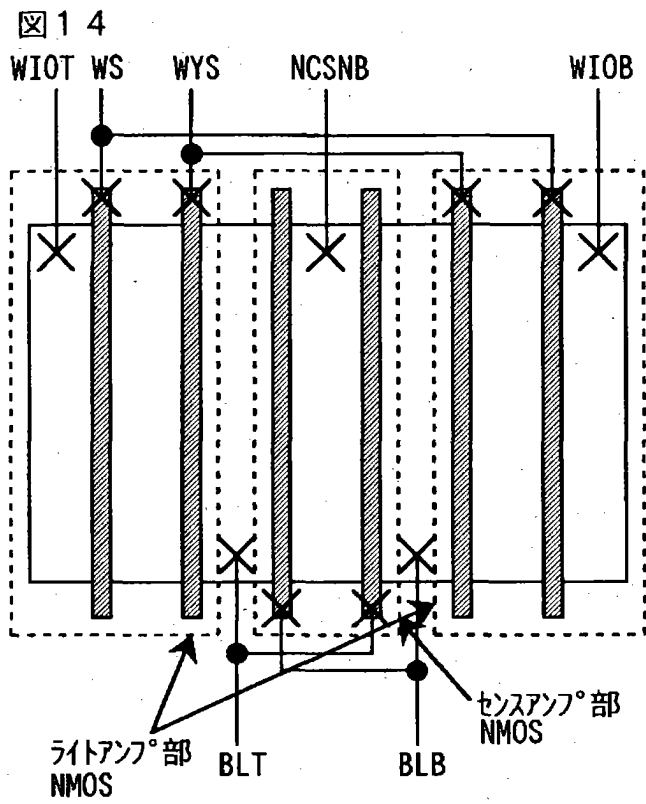


【图 1 3】

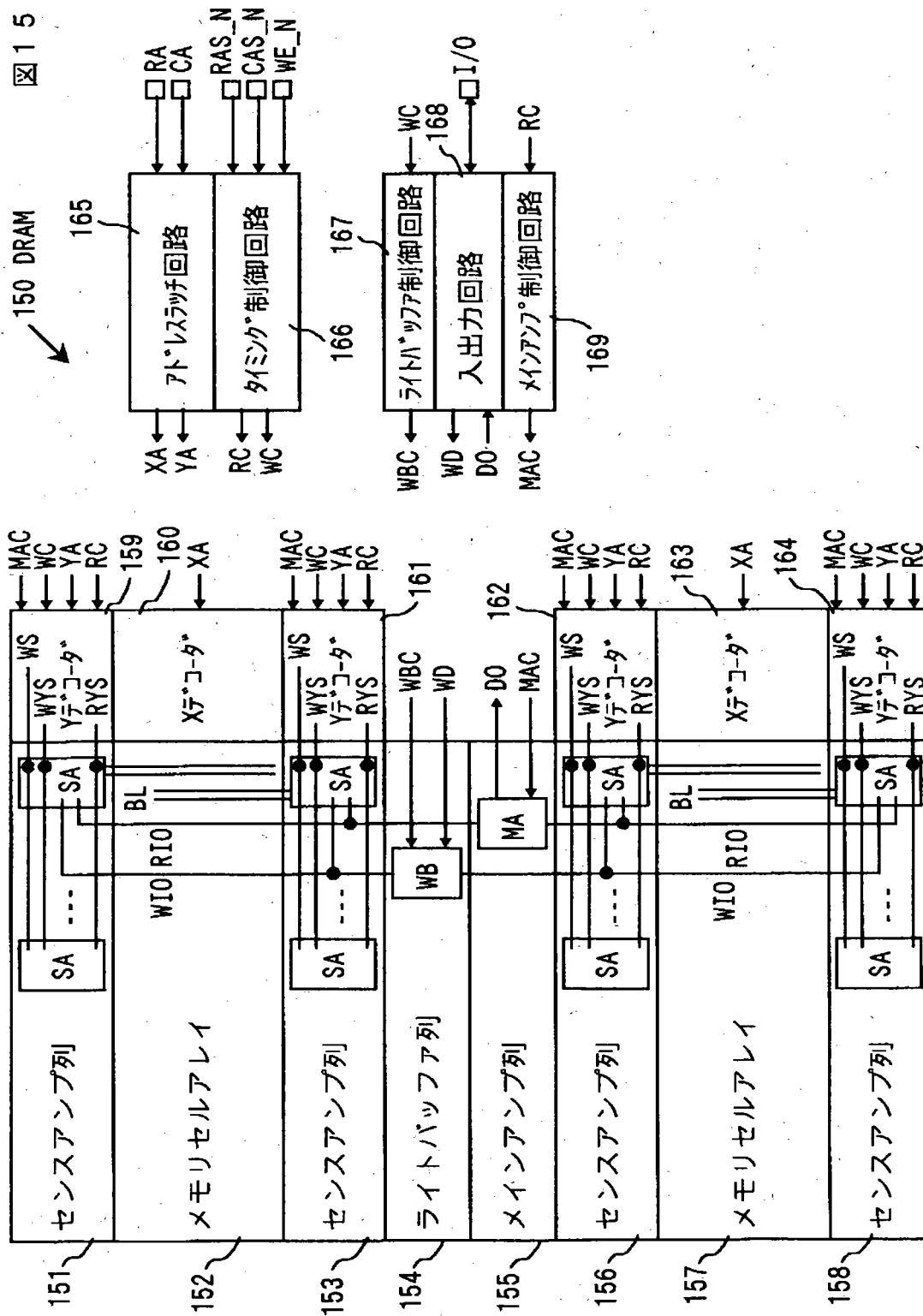
31



【図 14】



【図15】



【書類名】 要約書

【要約】

【課題】 貫通電流を低減するための技術を提供する。

【解決手段】 ライトアンプ 1 1 0 内のカラム選択スイッチ (1 1 2, 1 1 4) を動作制御するためのライト用 Y 選択線 (W Y S) と、リードアンプ 1 2 0 内のカラム選択スイッチ (1 2 1, 1 2 3) を動作制御するためのリード用 Y 選択線 (R Y S) とを別個に設け、ライト時においてリードアンプ (1 2 0) 内のカラム選択スイッチ (1 2 1, 1 2 3) を非動作状態とすることによって、ライト時の貫通電流を低減する。このとき、ライト I O 線及びリード I O 線をセンスアンプ列に交差するように配置し、ライト用カラム選択線及びリード用カラム選択線をセンスアンプ列に並行に配列する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所